

ROM bezetting

Bit	Functie
1 - 8	Volgende normale ROM instructie adres.
9 - 10	00 01 10 11 sturing K sel. - Register adres. (Bit 0-3, Ireg; Bit 4-7, Inter. level; - Programma counter (H+L) Bit 8-15, logic "0" - Ireg (H+L) - ISA (interrupt start adres)
11 - 12	00 01 10 11 sturing L sel - Accumulator - PSW, status register - PSW, PC (L). - PSW, PC (H).
13 - 15	000 001 010 011 100 101 110 111 sturing N sel - Output ALU. - Data sw - Address sw (L) - Address sw (H) - I/O Bus - AND functie - shift output ALU 1 positieve naar rechts - " " " " " links.
16	0 1 Strobe M sel - Compare, Shift, Carry FF's - R reg (bit 4-7)
17 - 18	00 01 10 11 sturing M sel - Bit 0-7 en logic "0" - Output memory - Ireg (L) - Ireg (H)
19	0 1 Forced carry - NOP - actief
20	0 1 sturing ALU - Add - Subtracht
21	0 1 Sturing geheugen - Read - Write
22	0 1 Sturing geheugen - NOP - Start.

⁷ Interrupt level
⁴ 3
² Reg. addr.
⁰
 from mem output.

22/7/79

H3S

Bit	Functie	
23	0	sturing - NORMAL
	1	ROM - JUMP
24	0	Sturing - NOP
	1	shift FF - enter
25-27	000	- NOP
	001	- enter Ireg, opcode
	010	- " Ireg (H)
	011	Sturing - " Ireg (L)
	100	Ireg, PSW - " new ISA in I/O control unit.
	101	- " PSW status register
	110	- " PSW (H)
	111	- " PSW (L)
28	0	Sturing - NOP
	1	Accumul. - enter
29	0	Sturing - NOP
	1	Mreg - enter
30	0	Sturing - NOP
	1	Rreg - enter
31	0	Sturing - NOP
	1	Comp. FF - enter
32	0	Sturing - NOP
	1	Carry FF - enter
33	0	Sturing - NOP
	1	I/O bus - start

22/7/79

H3S

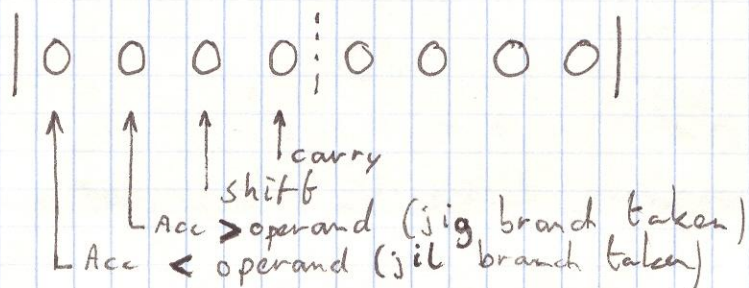
Bit		Functie
34-37	0000	- NOP
	0001	- Test waarde bij jump micro instructie Bit 23 = "1"
	0010	- set carry FF
	0011	- reset " "
	0100	- set shift FF
	0101	- reset " "
	0110	- set IE FF
	0111	- reset " "
	1000	- set WFI
	1001	- reset WFI
	1010	- set Stop FF
	1011	- reset " " rel. carry / prog. carr FF
	1100	- reset start FF
	1101	- reset interrupt FF in CPU.
	1110	- reset interrupt FF in rand apparatuur.
	1111	- enter opcode
38	0 } Sturing	- NOP
	1 } L Sel	- Strobe
39	0 } Sturing	- NOP
	1 } P. C.	- $PC := PC + 1.$
40	0 } Sturing	- NOP
	1 } Mreg	- $Mreg := Mreg - 1.$

22/7/79

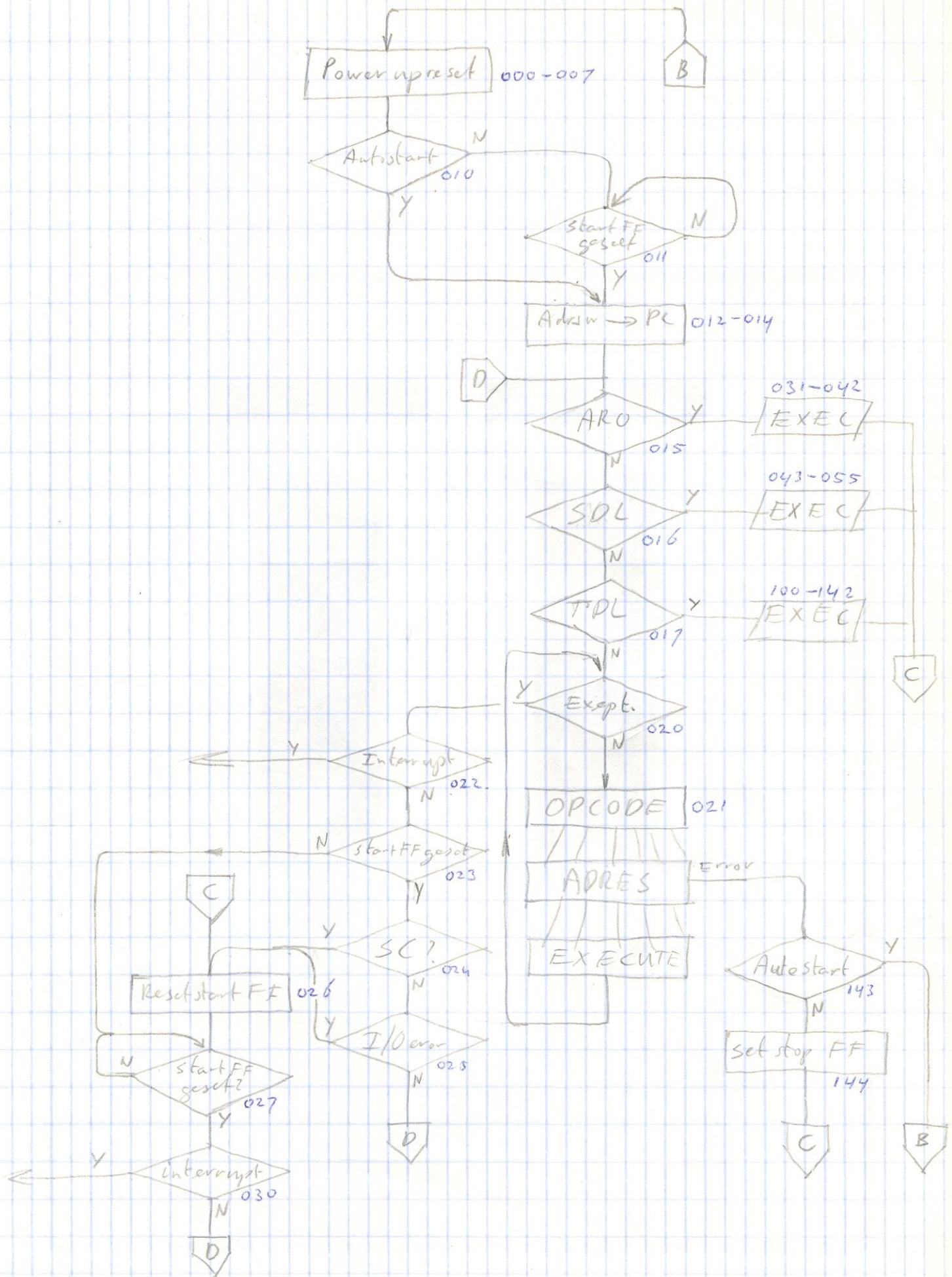
H3S

Code	Pin	Test
0 0 0 0 0	A 8 A 4	NOP Bit 4 Ireg. (H)
0 0 0 0 1	A 8 B 4	Bit 15 van Ireg (rel. adr. +/-)
0 0 0 1 0	A 8 C 4	Stop FF
0 0 0 1 1		
0 0 1 0 0	A 8 A 3	AR0
0 0 1 0 1	A 8 B 3	Inhoud Rreg zero
0 0 1 1 0	A 8 C 3	I/O Error
0 0 1 1 1		
0 1 0 0 0	A 8 A 2	SDL
0 1 0 0 1	A 8 B 2	OUT of INP instruct. (Bit 5 Ireg) (H)
0 1 0 1 0	A 8 C 2	Acc > Mem, Imm, Reg
0 1 0 1 1		
0 1 1 0 0	A 8 A 1	TDL Test stand
0 1 1 0 1	A 8 B 1	Acc = zero?
0 1 1 1 0	A 8 C 1	Acc < Mem, Imm, Reg
0 1 1 1 1		
1 0 0 0 0	A 8 A 15	SC
1 0 0 0 1	A 8 B 15	Carry FF
1 0 0 1 0	A 8 C 15	Acc = Mem, Imm, Reg
1 0 0 1 1		
1 0 1 0 0	A 8 A 14	Transfer to/from Disk Shift FF
1 0 1 0 1	A 8 B 14	Shift FF
1 0 1 1 0	A 8 C 14	SC. I-FF. Start FF. I/O error
1 0 1 1 1		
1 1 0 0 0	A 8 A 13	Bit 7 van Ireg (rel. adr +/-)
1 1 0 0 1	A 8 B 13	Interrupt FF
1 1 0 1 0	A 8 C 13	Bit 7 van Acc (1=neg, 0=pos)
1 1 0 1 1		
1 1 1 0 0	A 8 A 12	Extern test print!
1 1 1 0 1	A 8 B 12	Start FF
1 1 1 1 0	A 8 C 12	Auto start switch
1 1 1 1 1		

Status PSW:



27/12/20



Adres.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL.	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/B SHIFT-FF.	I-+ PSW REG.	A-REG.	M-REG.	R-REG.	Comp. FF Carry. FF	START: I/O	F.F. CONTROL	Strobe L-SEL PSW + 1 Mreg - 1	OPMERKING
000		001												01101000			
1		002							00010100	00011000							
2		003							00100000	00101000							
3		004							01000000	00110000							
4		005							01100000	01001000							
5		006							10100000	01100000							
6		007							11000000	01101000							
7		010							11100010								
010	*	011	012			11110010											Auto start?
1	*	012	011			11101010											Start FF geset?
2		013	00000100						11100100								Adr. sw → PC(L)
3		014	00000110						11000100								" " → PC(H)
4		015	01000000						00001000								PC → Mreg
5	*	016	043			00100010											ARO?
6	*	017	031			01000010											SDL?
7	*	020				01100010											TDL?
020	*	021	022			10110010											SC, Interrupt, Start, I/O
1		377	01000001	01000110		00101100	01111010										Opcode → Ireg(0)
2	*	023	155			11001010								00001000			Interrupt?
3	*	024	027			11101010											Start FF gereset?
4	*	025	026			10000010											Single Cycle?
5	*	015	025			00110010								00001000			I/O error?
6		021												01100000			Reset Start FF
7	*	030	027			11101010											Start FF geset?
030	*	015	155			11001010								00001000			Interrupt?
1		032	00100000						01100100	00000100							PC → Ireg(L)
2		033	00110000						01000100	00000100							PC → Ireg(H)
3		034	00000100						11100100								Adrsw → PC(L)
4		035	00000110						11000100								" " → PC(H)
5		036	00000010						00000100								Data sw → Rreg
6		037	01000000	00001100		00001000											Write in memory
7		040	00000001	01000100		00100100	01100010										Memory → Ireg(0)

NR: 1 H3S.
From: 000 To: 037

OPMERKING

CPU reset

Auto start?

Start FF geset?

Adr. sw → PC(L)

" " → PC(H)

PC → Mreg

ARO?

SDL?

TDL?

SC, Interrupt, Start, I/O

Opcode → Ireg(0)

Interrupt?

Start FF gereset?

Single Cycle?

I/O error?

Reset Start FF

Start FF geset?

Interrupt?

PC → Ireg(L)

PC → Ireg(H)

Adrsw → PC(L)

" " → PC(H)

Data sw → Rreg

Write in memory

Memory → Ireg(0)

31/1/01 H3S

NR: 2 H3S.
From: 040 To: 077

Adres.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL.	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/Ba SHIFT: FF.	I-+PSW REG	A-REG	M-REG	R-REG	Comp. FF Carry. FF	START: I/O	F.F. Control	Strobe L-SEL PSW+1 MREG-1	Opmerking
040	*	041	040			11101010											Start FF gereset?
1	*	042	047			00100010											ARO?
2	*	053	035			01000010											SDL?
3		044	00100000						01100100	00000100							PC → Ireg (L)
4		045	00110000						01000100	00000100							PC → Ireg (H)
5		046	00000100						11100100								Adrs w → PC (L)
6		047	00000110						11000100								→ PC (H)
7		050	01000001	01000100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	00010100	Memory → Ireg (0)
050	*	051	050			11101010											Start FF gereset?
1	*	052	055			00100010											ARO?
2	*	053	035			01000010											SDL?
3		054	00000001	10000000	01100000	00000000	01100000	00000000	01100000	00000000							Ireg → PC (L)
4		020	00000000	11000000	00000000	01100000	00000000	01100000	00000000	01100000	00000000						Ireg → PC (H)
5		047								00000010							PC := PC + 1
6		057	00000001	01000100	00010000	01100010	00010000	01100010	00010000	00000001							L byte → PC (L)
7		020	00000000	10100001	00001000	01100010	00001000	01100010	00001000								H byte → PC (H)
060		100							01000100								Reg. direct
1		101	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Reg. indirect
2		103	00100000						01100100	00000010							Immediate
3		104	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Relatief, ± 127 byte
4		111	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Mem. direct
5		112	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Mem. indirect
6		115								00000010							Relatief, ± 32 kbyte
7		120	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Index, ± 127 byte
070		377	01000001	01000100	00001000	01000100	00001000	01000100	00001000	01111010							2 byte inlezen
1		101	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Reg. indirect, Register
2		377								01111000							1 byte instruction
3		135															Error!
4		111	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Mem. direct
5		112	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Mem. indirect
6		104	01000001	01000100	00001000	01000100	00001000	01000100	00001000	00000010							Relatief, ± 127 byte
7		115								00000010							Relatief, ± 32 kbyte

31/1/81 H3S

Adres.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL	FORCED CARRY. ADD/SUB.	READ/WRITE	START: MEM	N/BA	SHIFT. FF.	L- + PSW REG	A-REG.	M-REG	R-REG	Comp. FF	Carry. FF	START: I/O	F.F. Control	Strobe L-SEL	PSW + 1	M-reg - 1	OPMERKING			
100		377	01000000	10000010	00000100	00000100	01101100	01111010																	Reg, direct.		
1		102	00000000	10100010	00001000	01101100	00000001																		Reg, indirect		
2		377	00000000	10100010	00001000	01101100	01111000																		" "		
3		377	00110000				01000100																			Immediate.	
4	*	107	105			00001010																				Relative ± 127 byte	
5		106	00100000	11000000	01100010	10000010	00000100																			⊕ L → Ireg(L)	
6		377	00110000				01000101																			H → Ireg(H)	
7		110	00100000	11000000	01100010	10000010	00000100																			⊖ L → Ireg(L)	
110		377	00110000	00010000	01000101	10111100																				H → Ireg(H)	
1		377	01000000	10100010	00010000	01101100	01111010																			Memory, direct	
2		113	01000000	10100010	00010000	01101100	00000010																			Memory, indirect	
3		114	10000000	10100010	00010000	01101100	00000001																			" " "	
4		377	00000000	10100010	00010000	01101100	01111000																			" " "	
5		116	01000000				00001000																			Relative ± 32 kbyte	
6		117	00100000	10100010	00010000	01100101	00000101																			" " -	
7		377	00110000	10100010	00010000	01101100	01111100																			" " "	
120		121					01100100																				Index; Acc → Ireg(L)
1		122	01000000	10100010	00010000	00011100	00000010																			Displacement → Acc	
2	*	127	123			11010010																					Test + / -
3		124	00000000	11000000	00010010																					⊕ Ireg(L) → Ireg(H)	
4		125	00000000	10100010	00010000	01100101	00000101																			Mem + Acc → Ireg(L)	
5		126	00000000	11100000	00010100																					Ireg(H) → Acc	
6		377	00000000	10100010	00010000	01100101	01111000																			Mem + C → Ireg(H)	
7		130	00000000	11000000	00010000	01001100																				⊖ Ireg(L) → Ireg(H)	
130		131	00000000	10100010	00010000	01100101	00000101																			Mem + Acc → Ireg(L)	
1		132	00000000	11100000	00010100																					Ireg(H) → Acc	
2		133	00000000	10111010	00010000																					(mem - 1) → Ireg(H)	
3		134	00000000	11101000	00000101																					Ireg(H) + C → Rreg	
4		377					01000000																				Rreg → Ireg(H)
5	*	136	137			11110010																					Auto start?
6		154																								Set stop FF.	
7		140				00100000	01000100																			H byte → Ireg(H)	

31/1/81 HJS

ADRES.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL.	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/Ba	SHIFT. FF.	I- + PSW REG	A-REG M-REG R-REG Comp. FF Carry. FF	START: I/O	F.F. CONTROL	STROBE L-SEL PSW + 1 MREG - 1	OPMERKING
140		141								01100000					L byte → Ireg(L)
1		142	10010000							00001100	00000100				Status reg → Rreg
2		143				00001100									Write @ φ1φ1
3		144								00000100	00101101				Acc → Rreg
4		145				00001100									Write @ φ1φφ
5		146	00001111	11100000						01100100					Ireg(H)+1 → Ireg(L) (φ1φ4)
6		147	10100000							00001100	00000101				PC(L) → Rreg
7		150				00001100									Write @ φ1φ3
150		151	00110000							00000100	00000101				PC(H) → Rreg
1		152				00001100									Write @ φ1φ2
2		153				00100000				00010100	01101000				'φ1' → Acc
3		002								00000100	00011000				'φφ' → Rreg
4		027									01100000				reset start FF
5		156									01101000				Interrupt; Reset Inter. FF
6		200									00110000				Set I-E FF
7		0	01000000	11100000						01101000	00000100				PC(L) → Acc; Ireg(L)
160		277	00001101	01000101	00001100					00000100	00000100				Rot-1 reg; R → Ireg(H)
1		277	00001111	01000101	00001100					00000100	00000100				Rot-1 reg; L (1)
2		200									11110000				RFI; Reset I/O
3		164	10010000							01101100	00000100				Swap status reg.
4		165	00000001	01000101	10100111	01011000									mem → Carry, shift, comp
5		166								10100000					mem → status reg
6		277	00000001	10000000						00000100	00000100				Ireg(L) → Rreg.
7		020									00000010				PC+1 (3 rd byte)
170		020	00000100							00010100	10000000				Ⓜ Input → Acc
1		172								00000100	00000100				Ⓜ Acc → Rreg
2		020									10000000				Output
3		174	01000001	01000100						00001100	00000010				LRD; L byte → Rreg
4		175								00001000					Regadr → Mreg
5		176				00001100									Write
6		277	00000001	10000000						00000100	00000001				Ireg(L) → Rreg
7		277								00001000					Imm; Regadr → Mreg

Adres.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL.	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/Ba SHIFT: FF.	I- + PSW REG	A-REG M-REG R-REG Comp. FF Carry. FF START: I/O	F.F. Control	Strobe L-SEL PSW + 1 Mreg - 1	OPMERKING
200		201	11100000						00001100	00000100			Interr! PC(L) → Rreg
1		202					00001100		10000000				Write + new ISA
2		203	00110000						00000100	00000101			PC(H) → Rreg
3		204					00001100						Write
4		205	00010000						00000100	00000101			Stat. → Rreg
5		206					00001100			00011000			Write (+ reset Carry)
6		207							00000100	00000101			Acc → Rreg
7		210					00001100						Write + New S.A.
210		211	11000001			01000100	11101100		00000001				Mem → PC(L).
1		212	00000001			01000100	11000100		00000001				" → PC(H).
2		213	00000001			01000101	10101100		01011001				" → Status reg
3		020	00000001			01000100	00010100		00000001				" → Acc.
4		215	00000001			01000100	11100100		00000001				Mem → PC(L), Mreg-1
5	*	223	216			01001010							Test R/W
6		217	00110000						01000100	00000100			Ⓡ PC(H) → Ireg(H)
7		220	00000001			01000100	11000100						Mem → PC(H)
220	*	221	220			10101010							Transfer?
1		222	01001000						00001100				Input → Rreg
2	*	221	053			10101110				00000010			Transfer end?
3		224	00110000						01000100	00000100			Ⓜ PC(H) → Ireg(H)
4		225	00000001			01000100	11000100						Mem → PC(H)
5		226				00010000	00000100						'FF' → Rreg
6	*	230	226			10101010							Transfer?
7	*	230	053			10101010							Transfer end?
230		227	01000001			01000100	00001100		00000010				Mem → Output.
1		232	01000001			01000100	00001100		00000010				LRO, rel; Disp(L) → Rreg
2		233					01001000						Rreg → Ireg(H)
3		234	00100001			11000000	00000101		00000100				PC(L) + Ireg(H) → Rreg
4		235				00001100							Write in memory
5		236	00110001			10000000	00000101		00000101	00000101			PC(H) + Ireg(L) → Rreg
6		020				00001100							Write in memory
7		240	00000001			11010000	00000100						D3NZ; -Ireg → Rreg

31/1/81 H3S

NR: 6 H3S.
From: 240 To: 277

NR: 6 H3S. From: 240 To: 277																							
ADRES.	*-BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/B SHIFT: FF.	I-+PSW REG	A-REG M-REG R-REG Comp. FF Carry. FF	START: I/O	F.F. CONTROL	STROBE L-SEL PSW + 1 Mreg - 1	OPMERKING									
240		242					00001100								Write in memory								
1		243	01000000				01000100	01000100	01001100	00000010					3 rd byte (disp) → Ireg(H)								
2		241	167				00101010								Test Rreg = 0								
3		246	244				00001010								Test Ireg(H) +/-								
4		245	00100000				11000000	00000000	01100101	00000010					⊕ PC+disp → Ireg(L)								
5		053	00110000						01000101	00000010					PC+C → Ireg(H)								
6		247	00100000				11000000	00000000	01100101	00000010					⊙ PC-disp → Ireg(L)								
7		053	00110000				00010000	00000000	01000101	00000010					PC-C → Ireg(H)								
250		251	000000				00101101	00100111	01010110	01011000													
1		252					00001100								Write in memory								
2		253	01000000				00001100		01001100	00000001					Decr. Reg. pair								
3		254	00000000				10000010	00000100	01100100						" " " " " "								
4		316	314				00001010								Incr / Decr								
5		256									00111000				WFI; reset IE.								
6		257	256				11001010								Interrupt?								
7		155									01001000				Reset: WFI								
260		020					00010000	00010101	01011100						Decr. acc.								
1		020	00001100				00000000	10001010	00000010	00000010					Rotate right								
2		020	00001110				00000000	10001010	00000010	00000010					Rotate left								
3		264					00001100								3TS; Write mem PC(L)								
4		265	00110000						00000100	00000010					PC(H) → Rreg								
5		053					00001100								Write memory PC(H)								
6		267	00000000				11001000	00000010							Decr, double - Ireg → Rreg								
7		270					00001100				00000001				Write Rreg in memory								
270		271	00000000				10101010	01100101	01011000						-mem+C → Ireg(L)								
1		277	00000000				11001000	00000010							Decrement acc								
2		273					00001100				00000001				Incdouble; Write mem								
3		277	00000000				10100010	00000010	01011000						H-byte + C → Rreg								
4		275	00000000				11001000	00001010							Or; Acc := - Acc								
5		276	00001011				10101010	01110100	00000010						mem • acc → Ireg(L)								
6		020	00000000				11001000	00010100							Acc := - Ireg(L)								
7		020					00001100								Write Rreg in mem.								

31/1/01 H3S

NR: 7 H3S.
From: 300 To: 337

ADRES.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	Strobe M-SEL.	M-SEL	FORCED CARRY. ADD/SUB	READ/WRITE	START: MEM	N/B	SHIFT: FF.	I- + PSW REG	A-REG.	M-REG	R-REG	Comp. FF	Carry: FF	START: I/O	F.F. CONTROL	Strobe L-SEL PSW + 1 M-reg - 1	OPMERKING
300		020	10000001	01000100	00011100	00000100																Add to acc
1			10000001	01000100	00011101	01011100																" " " + C
2			10000001	01110100	00011100	00000100																Subtr. from acc
3			10000001	01010100	00011101	01011100																" " " + C
4			10000001	01000100	00010100	00000100																Compare w. acc
5		020	10001011	01000100	00011100	00000100																And w acc.
6		274	10000000			01101100	00000100															Or w acc.
7		020	10000001	01000100	00011100																	Load acc
310		277	10000000			00001100	00000100															Store acc.
1			10000001	01000100	00011100	00000100																Add acc to mem/reg
2			10000001	01000100	00011101	01011100																" " " " + C
3		277	10000001	01100100	00011101	01011100																Incr mem/reg + C
4		272	10000001	01100100	00011101	01011100																Incr mem/reg double
5		271	10000001	01110100	00011101	01011100																Decr mem/reg + C
6		266	10000001	01110100	00011101	01011100																Decr mem/reg double
7																						
320	*	020		053		01101010																Jump if zero
1*						01101010																" " not zero
2*						10010010																" " equal
3*						10010010																" " not equal
4*						01010010																" " greater
5*						01110010																" " less
6*						10001010																" " carry
7*						10001010																" " no carry
330	*					10100010																" " shift
1*						10100010																" " no shift
2*						11010010																" " positif
3*	020		053			11010010																" " negatif
4	263	10100000				00001100	00110101															" to subroutine
5	056	10000000				00001000	00000001															" from " "
6	053	053																				" always
7*	020		053			11100010																" if extern = 1"

H3S 31/1/01

ADRES.	* = BRANCH.	NEXT ADRES.	K-SEL.	L-SEL.	N-SEL.	STROBE M-SEL.	M-SEL.	FORCED CARRY. ADD/SUB READ/WRITE START: MEM N/Ba SHIFT: FF.	I-+PSW REG	A-REG M-REG R-REG Comp. FF Carry. FF START: I/O	F.F. CONTROL	STROBE L-SEL PSW + 1 MREG - 1	OPMERKING
340		020											No operation
1		020							00010100				Clear acc
2		262								00101000			Rotate acc left
3		020	00001110			00000000	100010100	00000100					" " " + S
4		261								00101000			" " right
5		020	00001100			00000000	100010100	00000100					" " " + S
6										00010000			Set carry FF
7										00011000			Reset " "
350										00100000			Set Shift FF
1										00101000			Reset " "
2										00110000			Set Interrupt enable
3										00111000			Reset " "
4		020				00100000	00010101	01011100					Increment acc
5		260								00011000			Decrement acc
6		255								01000000			V.V. F. I.
7		162								00111000			R. F. I.
360		252	10000001	01000100	00011100	00000100							Add to acc, Reg+1.
1		252	10000001	01000100	00011101	01011100							Add to acc+C, "
2		263	10100000			00001100	00110101						3TS, reg indirect
3		053	053										3MP, " "
4		252	10000001	01000100	00001010	00000100							Compare w. Acc
5*		160	160			00000010	01100000000100						
6		163	01000001	01000100	01101100	00000010							Swap status reg, mem
7		252	10000001	01000100	00011100								Load Acc, Reg+1
370		251	10000000			00001100	00000100						Store Acc, " "
1		237	00000001	01110100	01001100								Decr reg; JNZ
2		177	01000001	01000100	00001100	00000010							Load reg imm.
3		173	01000001	01000100	01101100	00000010							Load reg. double, direct
4		231	01000001	01000100	01101100	00000010							Load reg. double, rel.
5*		171	170			01001010							Input / Output
6		214	00100000			01101100	00000100						I/O bloktransfer
7		135					01100000						Halt. !